

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Masatoshi TAKAMI**

Serial Number: **Not Yet Assigned**

Filed: **February 20, 2004**

Customer No.: **38834**

For: **SEMICONDUCTOR DEVICE AND METHOD FOR FABRICATING THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P. O. Box 1450
Alexandria, VA 22313-1450

February 20, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2003-327946, filed on September 19, 2003

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP



John P. Kong
Reg. No. 40,054

Atty. Docket No.: 042123
1250 Connecticut Ave, N.W., Suite 700
Washington, D.C. 20036
Tel: (202) 822-1100
Fax: (202) 822-1111
JPK/II



日 本 国 特 許 庁
JAPAN PATENT OFFICE

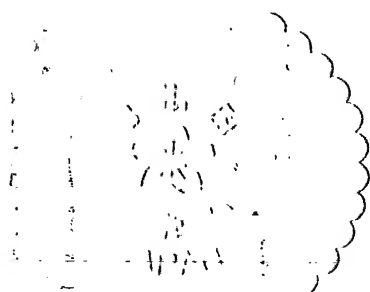
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 1 9 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 3 2 7 9 4 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 2 7 9 4 6]

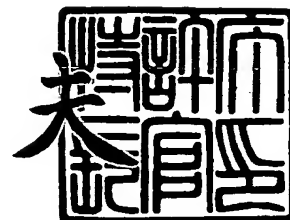
出 願 人 富士通株式会社
Applicant(s):



2 0 0 3 年 1 2 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 1 0 5 4 5 4



【書類名】 特許願
【整理番号】 0340460
【提出日】 平成15年 9月19日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/324
【発明者】
 【住所又は居所】 愛知県春日井市高蔵寺町二丁目 1 8 4 4 番 2 富士通ヴィエルエ
 スアイ株式会社内
 【氏名】 高見 政利
【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
【代理人】
 【識別番号】 100087479
 【弁理士】
 【氏名又は名称】 北野 好人
【選任した代理人】
 【識別番号】 100114915
 【弁理士】
 【氏名又は名称】 三村 治彦
【手数料の表示】
 【予納台帳番号】 003300
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0012600

【書類名】 特許請求の範囲**【請求項 1】**

素子領域を有する半導体基板と、

前記素子領域上にゲート絶縁膜を介して形成されたゲート電極を有するトランジスタと

、
前記ゲート電極上に絶縁膜を介して形成され、水素を吸蔵する性質を有する金属材料よりなり、前記ゲート電極が形成された領域と前記素子領域とが重なる領域よりも外側に周縁部が位置するメタル層と

を有することを特徴とする半導体装置。

【請求項 2】

第 1 の素子領域及び第 2 の素子領域を有する半導体基板と、

前記第 1 の素子領域上に第 1 のゲート絶縁膜を介して形成された第 1 のゲート電極を有する第 1 のトランジスタと、

前記第 1 のトランジスタと対をなすトランジスタであって、前記第 2 の素子領域上に第 2 のゲート絶縁膜を介して形成された第 2 のゲート電極を有する第 2 のトランジスタと、

前記第 1 のゲート電極上に絶縁膜を介して形成され、水素を吸蔵する性質を有する金属材料よりなり、前記第 1 のゲート電極が形成された領域と前記第 1 の素子領域とが重なる領域よりも外側に周縁部が位置する第 1 のメタル層と、

前記第 2 のゲート電極上に前記絶縁膜を介して形成され、水素を吸蔵する性質を有する金属材料よりなり、前記第 2 のゲート電極が形成された領域と前記第 2 の素子領域とが重なる領域よりも外側に周縁部が位置する第 2 のメタル層と

を有することを特徴とする半導体装置。

【請求項 3】

請求項 2 記載の半導体装置において、

前記第 1 のメタル層及び前記第 2 のメタル層は、電気的に接続されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載の半導体装置において、

前記メタル層は、水素を吸蔵する性質を有する前記金属材料よりなる金属膜と、水素を吸蔵する性質を有さない他の金属材料よりなる他の金属膜との積層膜よりなることを特徴とする半導体装置。

【請求項 5】

請求項 1 乃至 4 のいずれか 1 項に記載の半導体装置において、

前記絶縁膜上に形成され、前記メタル層と同層の金属膜よりなる配線層を更に有することを特徴とする半導体装置。

【請求項 6】

請求項 1 乃至 5 のいずれか 1 項に記載の半導体装置において、

前記金属材料は、チタン、マグネシウム、チタンを含む合金、又はマグネシウムを含む合金である

ことを特徴とする半導体装置。

【請求項 7】

半導体基板に素子領域を画定する工程と、

前記素子領域上に、ゲート絶縁膜を介してゲート電極を形成する工程と、

前記ゲート電極上に、絶縁膜を介して、水素を吸蔵する性質を有する金属材料よりなる金属膜を形成する工程と、

前記金属膜をパターニングすることにより、前記ゲート電極上に、前記金属膜よりなり、前記ゲート電極が形成された領域と前記素子領域とが重なる領域よりも外側に周縁部が位置するメタル層を形成する工程と、

前記メタル層が形成された前記半導体基板を、水素を含む雰囲気中で熱処理する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 7 記載の半導体装置の製造方法において、
水素を含む雰囲気中で前記半導体基板を熱処理する工程では、前記メタル層により、前記半導体基板と前記ゲート絶縁膜との界面の水素終端化を均一に抑制することを特徴とする半導体装置の製造方法。

【請求項 9】

半導体基板に第 1 の素子領域及び第 2 の素子領域を画定する工程と、
前記第 1 の素子領域上に第 1 のゲート絶縁膜を介して形成された第 1 のゲート電極と、
前記第 2 の素子領域上に第 2 のゲート絶縁膜を介して形成された第 2 のゲート電極とを形成する工程と、

前記第 1 のゲート電極上に、絶縁膜を介して、水素を吸蔵する性質を有する金属材料よりなる金属膜を形成する工程と、

前記金属膜をパターンニングすることにより、前記第 1 のゲート電極上に、前記金属膜よりなり、前記第 1 のゲート電極が形成された領域と前記第 1 の素子領域とが重なる領域よりも外側に周縁部が位置するメタル層を形成する工程と、

前記メタル層が形成された前記半導体基板を、水素を含む雰囲気中で熱処理する工程とを有し、

水素を含む雰囲気中で前記半導体基板を熱処理する工程では、前記メタル層により前記半導体基板と前記第 1 のゲート絶縁膜との界面の水素終端化を均一に抑制する一方、前記半導体基板と前記第 2 のゲート絶縁膜との界面を水素終端化する

ことを特徴とする半導体装置の製造方法。

【請求項 10】

請求項 7 乃至 9 のいずれか 1 項に記載の半導体装置の製造方法において、

前記メタル層を形成する工程では、前記金属膜をパターンニングすることにより、前記メタル層とともに前記金属膜よりなる配線層を形成する

ことを特徴とする半導体装置の製造方法。

【書類名】明細書

【発明の名称】半導体装置及びその製造方法

【技術分野】

【0001】

本発明は、MOS (Metal Oxide Semiconductor) トランジスタを有する半導体装置及びその製造方法に係り、特に、工程ダメージを回復するために水素アニール処理が施される半導体装置及びその製造方法に関する。

【背景技術】

【0002】

従来、MOS トランジスタに対して、エッチング等による工程ダメージを回復するために水素アニール処理が施されている。このような水素アニール処理は、例えば、水素及び窒素を含む雰囲気中、水素濃度 5～20%、温度 350～450℃、時間 10～130 分の条件で行われている（特許文献 1 を参照）。

【0003】

さらに、工程ダメージを回復するための水素アニール処理において、チタン層を含む配線材層が存在する場合でも十分なダメージの回復を可能にするべく、チタン層による水素吸蔵量を考慮してアニール雰囲気中の水素濃度を設定する半導体装置の製造方法も提案されている（特許文献 2 を参照）。

【特許文献 1】特開平 7-74167 号公報

【特許文献 2】特開平 9-252131 号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

ところで、半導体集積回路における MOS トランジスタについて、高い相対精度が要求される場合がある。このような半導体集積回路としては、例えば、オペアンプ・コンパレータの差動回路部、逐次 A/D コンバータ、パイプライン A/D コンバータ等で使用されるコンパレータ部に用いられる差動回路や、電流出力型 D/A コンバータのカレントミラー部に用いられるカレントミラー回路等がある。これらの半導体集積回路は、種々の電気機器や通信システムに用いられている。例えば、携帯電話、モデム等におけるオペアンプ、デジタルカメラ、ビデオカメラ、センサー等における逐次 A/D コンバータ、無線 LAN、FWA (Fixed Wireless Access)、デジタル TV 等におけるパイプライン A/D コンバータ、TV、VTR、デジタルカメラ、ビデオカメラ、無線 LAN、FWA 等における電流出力型 D/A コンバータに用いられている。

【0005】

図 11 は、MOS トランジスタについて高い相対精度が必要とされる差動回路の一例を示す回路図である。図示するように、CMOS トランジスタ 100 と抵抗素子 102 とが直列に接続された回路が並列に接続されている。それぞれの抵抗素子 102 の一端は、差動対回路に電源電圧を印加する電源線に接続されている。また、CMOS トランジスタ 100 のソース/ドレインの一方が、接地電位線に接続されている。このような差動回路において、CMOS トランジスタを構成する各 MOS トランジスタについて、高い相対精度が要求される。

【0006】

しかしながら、今般の半導体装置の製造工程は低温化が図られている。このため、トランジスタのゲート電極の面積が大きくなるほど、上述した工程ダメージを回復するための水素アニール処理によって、半導体基板とゲート絶縁膜との界面に存在するダングリングボンドの水素終端化にムラが生じてしまうこととなる。この結果、MOS トランジスタについて高い相対精度を実現することは困難であった。

【0007】

本発明の目的は、MOS トランジスタについて高い相対精度を有する半導体装置及びその製造方法を提供することにある。

【課題を解決するための手段】**【0008】**

上記目的は、素子領域を有する半導体基板と、前記素子領域上にゲート絶縁膜を介して形成されたゲート電極を有するトランジスタと、前記ゲート電極上に絶縁膜を介して形成され、水素を吸蔵する性質を有する金属材料よりなり、前記ゲート電極が形成された領域と前記素子領域とが重なる領域よりも外側に周縁部が位置するメタル層とを有することを特徴とする半導体装置により達成される。

【0009】

また、上記目的は、第1の素子領域及び第2の素子領域を有する半導体基板と、前記第1の素子領域上に第1のゲート絶縁膜を介して形成された第1のゲート電極を有する第1のトランジスタと、前記第1のトランジスタと対をなすトランジスタであって、前記第2の素子領域上に第2のゲート絶縁膜を介して形成された第2のゲート電極を有する第2のトランジスタと、前記第1のゲート電極上に絶縁膜を介して形成され、水素を吸蔵する性質を有する金属材料よりなり、前記第1のゲート電極が形成された領域と前記第1の素子領域とが重なる領域よりも外側に周縁部が位置する第1のメタル層と、前記第2のゲート電極上に前記絶縁膜を介して形成され、水素を吸蔵する性質を有する金属材料よりなり、前記第2のゲート電極が形成された領域と前記第2の素子領域とが重なる領域よりも外側に周縁部が位置する第2のメタル層とを有することを特徴とする半導体装置により達成される。

【0010】

また、上記目的は、半導体基板に素子領域を画定する工程と、前記素子領域上に、ゲート絶縁膜を介してゲート電極を形成する工程と、前記ゲート電極上に、絶縁膜を介して、水素を吸蔵する性質を有する金属材料よりなる金属膜を形成する工程と、前記金属膜をパターンニングすることにより、前記ゲート電極上に、前記金属膜よりなり、前記ゲート電極が形成された領域と前記素子領域とが重なる領域よりも外側に周縁部が位置するメタル層を形成する工程と、前記メタル層が形成された前記半導体基板を、水素を含む雰囲気中で熱処理する工程とを有することを特徴とする半導体装置の製造方法により達成される。

【0011】

また、上記目的は、半導体基板に第1の素子領域及び第2の素子領域を画定する工程と、前記第1の素子領域上に第1のゲート絶縁膜を介して形成された第1のゲート電極と、前記第2の素子領域上に第2のゲート絶縁膜を介して形成された第2のゲート電極とを形成する工程と、前記第1のゲート電極上に、絶縁膜を介して、水素を吸蔵する性質を有する金属材料よりなる金属膜を形成する工程と、前記金属膜をパターンニングすることにより、前記第1のゲート電極上に、前記金属膜よりなり、前記第1のゲート電極が形成された領域と前記第1の素子領域とが重なる領域よりも外側に周縁部が位置するメタル層を形成する工程と、前記メタル層が形成された前記半導体基板を、水素を含む雰囲気中で熱処理する工程とを有し、水素を含む雰囲気中で前記半導体基板を熱処理する工程では、前記メタル層により前記半導体基板と前記第1のゲート絶縁膜との界面の水素終端化を均一に抑制する一方、前記半導体基板と前記第2のゲート絶縁膜との界面を水素終端化することを特徴とする半導体装置の製造方法により達成される。

【発明の効果】**【0012】**

以上の通り、本発明によれば、素子領域を有する半導体基板と、素子領域上にゲート絶縁膜を介して形成されたゲート電極を有するトランジスタと、ゲート電極上に絶縁膜を介して形成され、水素を吸蔵する性質を有する金属材料よりなり、ゲート電極が形成された領域と素子領域とが重なる領域よりも外側に周縁部が位置するメタル層とを有するので、製造工程における水素アニール処理の際に、シリコン基板とゲート絶縁膜との界面の水素終端化を均一に抑制することができる。これにより、MOSトランジスタについて高い相対精度を得ることができる。

【発明を実施するための最良の形態】

【0013】

[第1実施形態]

本発明の第1実施形態による半導体装置及びその製造方法について図1乃至図8を用いて説明する。図1は本実施形態による半導体装置の構造を示す概略図、図2はMOSトランジスタの閾値電圧のダミーカバー層に対する依存を示すグラフ、図3は信号配線と同形状のダミーカバー層が形成された半導体装置の構造を示す平面図、図4はダミーカバー層が形成されていない従来の半導体装置の構造を示す平面図、図5乃至図8は本実施形態による半導体装置の製造方法を示す工程断面図である。

【0014】

まず、本実施形態による半導体装置の構造について図1を用いて説明する。図1(a)は本実施形態による半導体装置の構造を示す平面図、図1(b)は図1(a)のA-A'線断面図である。

【0015】

シリコン基板10上には、素子領域11を画定する素子分離膜12が形成されている。

【0016】

素子領域11のシリコン基板10上には、シリコン酸化膜よりなるゲート絶縁膜14を介して、ポリシリコン膜16とタンゲステンシリサイド膜18とが順次積層されてなるゲート電極20が形成されている。ゲート電極20の側壁部には、サイドウォール絶縁膜22が形成されている。

【0017】

素子領域11のシリコン基板10内には、ゲート電極20に自己整合で、ドーパント不純物が低濃度に導入され、これにより低濃度拡散層24が形成されている。さらに、サイドウォール絶縁膜22及びゲート電極20に自己整合で、ドーパント不純物が高濃度に導入され、これにより高濃度拡散層26が形成されている。これら低濃度拡散層24及び高濃度拡散層26により、LDD (Lightly Doped Drain) 構造のソース/ドレイン拡散層28が構成されている。ソース/ドレイン拡散層28上には、シリサイド膜30が形成されている。

【0018】

こうして、素子領域のシリコン基板10上に、ゲート電極20と、ソース/ドレイン拡散層28とを有するMOSトランジスタが形成されている。このMOSトランジスタは、例えば、差動回路の一部又はカレントミラー回路の一部を構成するものである。

【0019】

MOSトランジスタが形成されたシリコン基板10上には、層間絶縁膜32が形成されている。層間絶縁膜32は、例えば、膜厚20nmのシリコン酸化膜34と、シリコン酸化膜34上に形成された膜厚70nmのシリコン窒化膜36と、シリコン窒化膜36上に形成された膜厚700nmのシリコン酸化膜38とから構成されている。

【0020】

層間絶縁膜32には、シリサイド膜30に達するコンタクトホール40が形成されている。コンタクトホール40には、シリサイド膜30を介してソース/ドレイン拡散層28に電氣的に接続されたコンタクトプラグ42が埋め込まれている。

【0021】

コンタクトプラグ42が埋め込まれた層間絶縁膜32上には、コンタクトプラグ42及びシリサイド膜30を介してソース/ドレイン拡散層28に電氣的に接続された配線層44が形成されている。配線層44は、例えば、層間絶縁膜32上に順次積層された膜厚60nmのチタン(Ti)膜と膜厚30nmの窒化チタン(TiN)膜とよりなる積層膜46と、積層膜46上に形成された膜厚400nmのアルミニウム膜48と、アルミニウム膜48上に順次積層された膜厚5nmのチタン膜と膜厚70nmの窒化チタン膜とからなる積層膜50とより構成されている。また、ダミーメタル層52は、例えば、図1(a)に示すように、矩形状の平面形状を有している。

【0022】

ソース／ドレイン拡散層 28 に電氣的に接続する配線層 44 間の層間絶縁膜 32 上には、ゲート電極 20 の上方を含む領域に、水素を吸蔵する性質を有する金属材料よりなり、ゲート電極 20 が形成された領域と素子領域 11 とが重なる領域よりも外側に周縁部が位置するダミーメタル層 52 が形成されている。ダミーメタル層 52 は、例えば、配線層 44 を構成する金属膜と同じ金属膜から構成され、層間絶縁膜 32 上に順次積層されたチタン膜と窒化チタン膜とよりなる積層膜 46 と、積層膜 46 上に形成されたアルミニウム膜 48 と、アルミニウム膜 48 上に順次積層されたチタン膜と窒化チタン膜とよりなる積層膜 50 とから構成されている。積層膜 46 及び積層膜 50 に含まれるチタンは、水素を吸蔵する性質を有している。これに対し、アルミニウム膜 48 は、水素を吸蔵する性質を有していない。ダミーメタル層 52 の電位は、例えば接地電位等の所定の電位に固定されているか、或いはフローティングとなっている。

【0023】

MOSトランジスタのチャネルの延在方向、すなわちゲート電極 20 の延在方向に直交する方向（図 1（a）及び図 1（b）紙面の横方向）では、ダミーメタル層 52 は、図 1（a）及び図 1（b）に示すように、ゲート電極 20 よりも幅広に形成されており、ゲート電極 20 の上方の領域の両側にそれぞれ張り出した底部 52a を有している。例えば、幅 $1\mu\text{m}$ のゲート電極 20 に対し、ダミーメタル層 52 は $6\mu\text{m}$ の幅を有し、ゲート電極 20 の両側にそれぞれ $2.5\mu\text{m}$ の幅で張り出した底部 52a を有している。また、このダミーメタル層 52 の底部 52a の幅に対する層間絶縁膜 32 の厚さの比は、例えば、 $0.79(\mu\text{m}) / 2.5(\mu\text{m}) = 0.316$ となっている。

【0024】

ゲート電極 20 の延在方向（図 1（a）紙面の縦方向）では、ダミーメタル層 52 は、図 1（a）に示すように、素子領域 11 よりも幅広に形成されており、素子領域 11 の両側にそれぞれ張り出した底部 52b を有している。例えば、ソース／ドレイン拡散層 28 の両側にそれぞれ $2.5\mu\text{m}$ の幅で張り出した底部 52b を有している。このダミーメタル層 52 の底部 52b の幅に対する層間絶縁膜 32 の厚さの比は、底部 52a と同様に、例えば、 $0.79(\mu\text{m}) / 2.5(\mu\text{m}) = 0.316$ となっている。

【0025】

このように、本実施形態による半導体装置は、ゲート電極 20 上に層間絶縁膜 32 を介して形成され、水素を吸蔵する性質を有する金属材料よりなり、ゲート電極 20 が形成された領域と素子領域 11 とが重なる領域よりも外側に周縁部が位置するダミーメタル層 52 を有することに主たる特徴がある。

【0026】

半導体製造装置の配線製造過程におけるトランジスタの特性変動の一因には、ゲート電極に帯電ストレスが蓄積することがある。このゲート電極における帯電ストレスの蓄積は、配線層間膜の成膜時に発生するプラズマや、配線電極加工時に飛来するイオンなどによってもたらされる。ゲート電極に帯電ストレスが蓄積することによってゲート絶縁膜の界面準位が増加する結果、トランジスタ特性に変動が引き起こされる。

【0027】

このようなトランジスタの特性変動の大半は、配線製造工程後に行われる最終アニール工程の熱によって回復する。また、水素雰囲気中の最終アニールにより、半導体基板とゲート絶縁膜との界面が水素終端化され、ホットキャリア寿命の向上が実現されている。しかし、トランジスタのソース／ドレイン電極にシリサイドを用いたり、配線材料にアルミニウムと銅との合金や銅を用いたりしている今般の半導体装置の製造プロセスでは配線製造工程の熱履歴をできるだけ低くする必要がある。このため、最終の水素アニールも高温に設定することは困難となっている。このため、特に水素アニールによる半導体基板とゲート絶縁膜との界面の水素終端化は不均一なものとなっている。また、エレクトロマイグレーションによる配線の劣化を抑制するために、配線材料の一部にチタンを用いる場合が非常に多くなっている。チタンは水素を吸蔵する性質を有するため、チタンを用いた配線が近傍に配置されている半導体基板とゲート絶縁膜との界面の水素終端化は部分的に抑制

される。

【0028】

このように、処理温度の低温化や、配線材料としてのチタンの使用等に起因して、今般のMOSトランジスタでは、半導体基板とゲート絶縁膜との界面は十分に水素終端化されておらず、水素終端化にムラが発生している。この水素終端化のムラは、閾値電圧の変動の原因となる等、MOSトランジスタの相対精度の低下の一因となっている。

【0029】

本実施形態による半導体装置は、チタン等の金属が有する水素吸蔵作用を利用して、チタン等の水素を吸蔵する性質を有する金属材料を含むダミーメタル層52によりゲート電極20の上方を含む領域を覆うことにより、水素アニール処理におけるシリコン基板10とゲート絶縁膜14との界面の水素終端化を均一に抑制する。水素終端化そのものを均一に抑制することにより、シリコン基板10とゲート絶縁膜14との界面に水素終端のムラが生じることもなく、MOSトランジスタについて高い相対精度を得ることができる。

【0030】

なお、ダミーメタル層52の底部52aがゲート電極20の外側に張り出した幅又は底部52bが素子領域11の外側に張り出した幅に対する層間絶縁膜32の厚さの比、すなわちゲート電極20が形成された領域と素子領域11とが重なる領域とダミーメタル層52の周縁部との間隔に対する、シリコン基板10とダミーメタル層52との間隔の比は適宜設定することができるが、この比を0.32以下にすることにより、より確実にシリコン基板10とゲート絶縁膜14との界面の水素終端化を均一に抑制することができる。

【0031】

本実施形態によれば、MOSトランジスタを有する半導体装置、特に、アナログ回路等に用いられ、動作頻度が非常に少なくホットキャリア寿命よりも特性安定性の方が重視され高い相対精度が要求されるMOSトランジスタを有する半導体装置において、シリコン基板10とゲート絶縁膜14との界面における水素終端化を均一に抑制することにより、相対精度を向上することができる。

【0032】

図2は、MOSトランジスタの閾値電圧のダミーカバー層に対する依存を示すグラフである。図2(a)に示すグラフはN型MOSトランジスタの場合、図2(b)に示すグラフはP型MOSトランジスタの場合について、それぞれ閾値電圧のばらつき ΔV_{th} を測定し、この分布の割合(%)をプロットしたものである。なお、 ΔV_{th} は、閾値電圧を $V_{th}(n)$ 、その中央値(メジアン)をMedian($V_{th}(n)$)として、 $\Delta V_{th} = V_{th}(n) - \text{Median}(V_{th}(n))$ と表されるものである。また、図2(a)及び図2(b)に示すグラフ中、○で示すプロットは図1に示す本実施形態による半導体装置についての測定結果を示すものである。□で示すプロットは図1のダミーカバー層52に代えて信号配線と同形状のダミーカバー層54が形成された図3に示す半導体装置についての測定結果を示すものである。なお、図3に示す半導体装置では、ソース/ドレイン拡散層に電気的に接続する配線層44間の層間絶縁膜上にはダミーメタル層54は形成されていない。◇で示すプロットはダミーカバー層52が形成されていない図4に示す従来の半導体装置についての測定結果を示すものである。

【0033】

図2(a)及び図2(b)に示すグラフから明らかなように、N型MOSトランジスタ及びP型MOSトランジスタのいずれの場合においても、ゲート電極20の上方を含む領域を覆うダミーメタル層52を有する図1に示す本実施形態による半導体装置が、ダミーメタル層52が形成されていない図4に示す従来の半導体装置に比べて特性のばらつきが小さくなっていることが分かる。この結果により、本実施形態によれば、MOSトランジスタの相対精度を向上し、また、MOSトランジスタの小面積化を図ることができるといえる。

【0034】

次に、本実施形態による半導体装置の製造方法について図5乃至図8を用いて説明する

【0035】

まず、シリコン基板10表面に素子分離膜12を形成する(図(a)を参照)。素子分離膜12は、例えばLOCOS(LOCal Oxidation of Silicon)法により、次のようにして形成することができる。まず、シリコン基板10として例えば比抵抗 $10 \pm 1.5 \Omega \cdot \text{cm}$ 、結晶面(100)、厚さ $1 \mu\text{m}$ のp型エピタキシャルウェハを、例えば窒素を含む雰囲気中、例えば 850°C の温度で熱酸化することにより、シリコン基板10の表面に、例えば膜厚5nmのシリコン酸化膜よりなるパッド酸化膜を形成する。次いで、全面に、例えばCVD(Chemical Vapor Deposition: 化学的気相成長)法により、例えば厚さ115nmのシリコン窒化膜を堆積する。次いで、フォトリソグラフィー及びドライエッチングにより、シリコン窒化膜を所定の形状にパターニングし、素子領域となる領域にシリコン窒化膜を残存させる。次いで、ドライ酸素雰囲気中、 1100°C の熱処理により、シリコン窒化膜をマスクとして基板を酸化し、例えば膜厚370nmのシリコン酸化膜よりなる素子分離膜12を形成する。素子分離膜12の形成後、酸化膜成長のマスクとして用いたシリコン窒化膜をウェットエッチングにより除去する。こうして、LOCOS法により、素子領域11を画定する素子分離膜12が形成される。なお、素子分離膜12は、STI(Shallow Trench Isolation)法等の他の方法により形成してもよい。

【0036】

次いで、パッド酸化膜を除去した後、例えば熱酸化法によりシリコン基板10の表面を熱酸化し、素子領域上に、例えば膜厚5nmのシリコン酸化膜よりなるゲート絶縁膜14を形成する(図5(b)を参照)。

【0037】

次いで、全面に、例えばCVD法により、例えば膜厚50nmのポリシリコン膜16を堆積する。

【0038】

次いで、ポリシリコン膜14上に、例えばCVD法により、例えば膜厚150nmのタングステンシリサイド膜18を堆積する。

【0039】

次いで、フォトリソグラフィー及びドライエッチングにより、タングステンシリサイド膜18及びポリシリコン膜16をパターニングし、素子領域11に、ポリシリコン膜16とタングステンシリサイド膜18とが積層されてなるゲート電極20を形成する(図5(c)を参照)。

【0040】

次いで、ゲート電極20をマスクとして、例えば砒素(As)イオンをイオン注入し、ゲート電極20の両側のシリコン基板10内に、LDD構造の低濃度拡散層24となる低濃度の不純物拡散領域56を形成する(図6(a)を参照)。

【0041】

次いで、全面に例えばCVD法により例えば膜厚120nmのシリコン酸化膜を堆積した後、このシリコン酸化膜をエッチバックし、ゲート電極20の側壁部にシリコン酸化膜よりなるサイドウォール絶縁膜22を形成する。

【0042】

次いで、ゲート電極20及びサイドウォール絶縁膜22をマスクとして、例えば砒素(As)イオンをイオン注入し、ゲート電極20及びサイドウォール絶縁膜22の両側のシリコン基板10内に、LDD構造の高濃度拡散層26となる高濃度の不純物拡散領域を形成する。

【0043】

次いで、所定の熱処理を行い注入した不純物を活性化し、ゲート電極20の両側のシリコン基板10内に、低濃度拡散層24及び高濃度拡散層26により構成されるLDD構造のソース/ドレイン拡散層28を形成する(図6(b)を参照)。

【0044】

次いで、サリサイドプロセスにより、ソース／ドレイン拡散層 28 上に、選択的にシリサイド膜 30 を形成する（図 6（c）を参照）。例えば、全面にチタン等の金属膜を堆積し、熱処理によりシリコン露出部と反応させてシリサイド膜を形成し、その後に未反応の金属膜を除去することにより、ソース／ドレイン拡散層 28 にシリサイド膜 30 を形成する。

【0045】

次いで、全面に、例えばプラズマ CVD 法により、例えば膜厚 20 nm のシリコン酸化膜（HTO（High Temperature Oxide）膜）34 を堆積する。

【0046】

次いで、全面に、例えばプラズマ CVD 法により、例えば膜厚 70 nm のシリコン窒化膜 36 を堆積する。なお、このシリコン窒化膜 36 は、MOS トランジスタが形成されたシリコン基板 10 側への水分の進入を遮断するためのものである。また、シリコン窒化膜 36 の屈折率は、例えば 2.24 である。

【0047】

次いで、全面に、例えば TEOS（tetraethoxysilane）を主原料とするプラズマ CVD 法により、例えば膜厚 1000 nm のシリコン酸化膜 38 を堆積する。

【0048】

次いで、例えば CMP（Chemical Mechanical Polishing：化学的機械的研磨）法により、シリコン酸化膜 38 を平坦化する。

【0049】

こうして、シリコン酸化膜 34 と、シリコン窒化膜 36 と、シリコン酸化膜 38 とが順次積層されてなる層間絶縁膜 32 が形成される（図 7（a）を参照）。

【0050】

次いで、フォトリソグラフィー及びドライエッチングにより、層間絶縁膜 32 に、シリサイド膜 30 に達するコンタクトホール 40 を形成する（図 7（b）を参照）。なお、コンタクトホール 40 の形成後、コンタクト補償用のイオン注入を行ってもよい。この場合には、イオン注入後に、不純物を活性化するためのアニールを行う。

【0051】

次いで、例えば CVD 法により、例えば膜厚 30 nm のチタン膜と、例えば膜厚 20 nm の窒化チタン膜とを順次堆積し、TiN/Ti 構造の接着層 58 を形成する。ここで、チタン膜を堆積した後窒化チタン膜を堆積する前に、窒素雰囲気中で熱処理を行い、チタン膜表面を窒化する。これは、接着層 58 の形成後に堆積するタンゲステン膜 60 のソースガスである WF₆ がチタンを腐食する性質を有するため、予めチタン膜の表面を窒化しておくことによりチタンの腐食を防止し、タンゲステン膜の異常成長を防止するためである。

【0052】

次いで、接着層 58 上に、例えば WF₆ を主原料とする CVD 法により、例えば膜厚 400 nm のタンゲステン膜 60 を堆積する。

【0053】

次いで、例えば CMP 法により、タンゲステン膜 60 及び接着層 58 を平坦に除去し、接着層 58 及びタンゲステン膜 60 をコンタクトホール 40 内に選択的に残存させる。こうして、コンタクトホール 40 内に、接着層 58 及びタンゲステン膜 60 よりなるコンタクトプラグ 42 を形成する（図 7（c）を参照）。

【0054】

次いで、コンタクトプラグ 42 が埋め込まれた層間絶縁膜 32 上に、例えば CVD 法により、例えば膜厚 60 nm のチタン膜と、例えば膜厚 30 nm の窒化チタン膜を順次堆積する。こうして、チタン膜と窒化チタン膜とよりなる積層膜 46 を形成する。

【0055】

次いで、積層膜 46 上に、例えばスパッタ法により、例えば膜厚 400 nm のアルミニウム膜 48 を形成する。

【0056】

次いで、アルミニウム膜48上に、例えばCVD法により、例えば膜厚5nmのチタン膜と、例えば膜厚70nmの窒化チタン膜を順次堆積する。こうして、チタン膜と窒化チタン膜とよりなる積層膜50を形成する(図8(a)を参照)。

【0057】

次いで、フォトリソグラフィ及びドライエッチングにより、積層膜50、アルミニウム膜48、及び積層膜46をパターンニングする。これにより、積層膜46、アルミニウム膜48、及び積層膜50よりなり、コンタクトプラグ42及びシリサイド膜30を介してソース／ドレイン拡散層28に電氣的に接続された配線層44を形成する。同時に、積層膜46、アルミニウム膜48、及び積層膜50よりなり、ゲート電極20の上方を含む領域を覆うダミーメタル層52を形成する(図8(b)を参照)。

【0058】

次いで、エッチング等による半導体装置へのダメージを回復するために、水素と窒素との混合雰囲気中で、例えば400℃、30分間の熱処理を行う。ここで、ゲート電極20の上方を含む領域を覆うように水素を吸蔵する性質を有する金属を含むダミーメタル層52が形成されているため、シリコン基板10とゲート絶縁膜14との界面の水素終端化が均一に抑制される。

【0059】

こうして、図1に示す半導体装置が製造される。

【0060】

このように、本実施形態によれば、ゲート電極20上に層間絶縁膜32を介して形成され、水素を吸蔵する性質を有する金属材料よりなり、ゲート電極20が形成された領域と素子領域11とが重なる領域よりも外側に周縁部が位置するダミーメタル層52によりゲート電極20の上方を含む領域を覆うことにより、水素アニール処理の際に、シリコン基板10とゲート絶縁膜14との界面の水素終端化を均一に抑制することができる。こうして水素終端化そのものを均一に抑制することにより、シリコン基板10とゲート絶縁膜14との界面に水素終端のムラが生じることもなく、MOSトランジスタについて高い相対精度を得ることができる。

【0061】

なお、本実施形態では、N型MOSトランジスタを形成する場合について説明したが、P型トランジスタについても同様に本発明を適用することができる。

【0062】**[第2実施形態]**

本発明の第2実施形態による半導体装置及びその製造方法について図9を用いて説明する。図9は本実施形態による半導体装置の構造を示す断面図である。なお、第1実施形態による半導体装置と同一の構成要素には、同一の符号を付して説明を省略または簡潔にする。

【0063】

本実施形態による半導体装置は、第1実施形態による半導体装置と同様の構造を有する複数の半導体装置が同一のシリコン基板に形成されており、この複数の半導体装置のダミーメタル層が接地電位に電氣的に接続されていることに主たる特徴がある。

【0064】

すなわち、図9に示すように、MOSトランジスタを有する第1実施形態による半導体装置と同様の構造の複数の半導体装置62a、62bがシリコン基板10に形成されている。半導体装置62a、62bは互いに対をなすトランジスタであって、例えば、差動回路の一部又はカレントミラー回路の一部を構成するものである。

【0065】

各半導体装置62a、62bには、第1実施形態による半導体装置と同様に、層間絶縁膜32のゲート電極20の上方を含む領域に、ダミーメタル層52が形成されている。各半導体装置62a、62bのダミーメタル層52は、互いに電氣的に接続され、さらにこ

これらの電位は接地電位に固定されている。

【0066】

このように、本実施形態による半導体装置は、第1実施形態による半導体装置と同様に、ゲート電極20上に層間絶縁膜32を介して形成され、水素を吸蔵する性質を有する金属材料よりなり、ゲート電極20が形成された領域と素子領域11とが重なる領域よりも外側に周縁部が位置するダミーメタル層52によりゲート電極20の上方を含む領域を覆うことによって、水素アニール処理の際にシリコン基板10とゲート絶縁膜14との界面の水素終端化を均一に抑制してMOSトランジスタについて高い相対精度を実現する。さらに、本実施形態による半導体装置は、各半導体装置62a、62bのダミーメタル層52を互いに電氣的に接続し、これらの電位を接地電位に固定することにより、外来ノイズを効果的に遮断することができる。これにより、MOSトランジスタの動作特性を向上することができる。

【0067】

なお、本実施形態では、各半導体装置62a、62bのダミーメタル層52が互いに電氣的に接続され、これらの電位が接地電位に固定されている場合について説明したが、接地電位に限らず所定の電位に固定されていればよい。また、必ずしも所定の電位に固定されている必要はなく、図10に示すように、各半導体装置62a、62bのダミーメタル層52が互いに電氣的に接続され、これらの電位がフローティングになっていてもよい。

【0068】

[変形実施形態]

本発明は上記実施形態に限らず種々の変形が可能である。

【0069】

例えば、上記実施形態では、水素を吸蔵する性質を有する金属を含む積層膜46、水素を吸蔵する性質を有さないアルミニウム膜48、及び水素を吸蔵する性質を有する金属を含む積層膜50が順次積層されてなるダミーメタル層52を形成したが、ダミーメタル層52の材料及び構造はこれに限定されるものではない。ダミーメタル層52は、チタン、マグネシウム(Mg)、チタンを含む合金、又はマグネシウムを含む合金等の水素を吸蔵する性質を有する金属を少なくとも含むものであればよい。

【0070】

また、上記実施形態では、第1層目の配線層44までを形成する場合について説明したが、必要に応じて、第2層目以降の配線層を形成してもよい。第2層目以降の配線層を形成する場合においても、第1層目の配線層44とともに形成したダミーメタル層52と同様のダミーメタル層を形成してもよい。こうして各配線層とともに複数のダミーメタル層を形成することにより、シリコン基板10とゲート絶縁膜14との界面の水素終端化を更に抑制することができ、MOSトランジスタの相対精度を更に向上することができる。

【0071】

また、上記実施形態では、ダミーメタル層52を、配線層44と同層の金属膜をパターニングすることにより形成する場合について説明したが、ダミーメタル層52を配線層44と別個独立に形成してもよい。

【0072】

また、上記実施形態では、ダミーメタル層52が矩形状の平面形状を有する場合について説明したが、ダミーメタル層52の平面形状は矩形状に限定されるものではない。

【0073】

また、上記実施形態では、ゲート電極20上にダミーメタル層52が形成されたMOSトランジスタを形成する場合について説明したが、ゲート電極20上にダミーメタル層52が形成されたMOSトランジスタと、ゲート電極20上にダミーメタル層52が形成されていないMOSトランジスタとを同一の半導体基板上に混在するように形成してもよい。この場合において、製造工程の水素アニール処理の際に、ダミーメタル層52が形成されたMOSトランジスタにおいては、半導体基板とゲート絶縁膜との界面の水素終端化を均一に抑制して相対精度を向上する一方、ダミーメタル層52が形成されていないMOS

トランジスタにおいては、半導体基板とゲート絶縁膜との界面を水素終端化して工程ダメージを回復することができる。すなわち、同一の半導体基板上に形成されるMOSトランジスタの各々の使用目的等に応じて、ダミーメタル層52の有無を適宜選択することにより、相対精度の向上を優先させ、又は工程ダメージの回復を優先させることができる。

【0074】

また、上記実施形態では、ポリシリコン膜16及びタングステンシリサイド膜18が順次積層されてなるゲート電極20を形成したが、ゲート電極20の材料及び構造はこれに限定されるものではない。例えば、タングステンシリサイド膜18を形成せずに、ポリシリコン膜16よりなるゲート電極20を形成してもよい。

【0075】

また、上記実施形態では、熱酸化法によりシリコン酸化膜よりなるゲート絶縁膜14を形成したが、ゲート絶縁膜14の材料はこれに限定されるものではない。例えば、シリコン窒化酸化膜よりなるゲート絶縁膜14を形成してもよい。

【0076】

また、上記実施形態では、シリコン酸化膜34、シリコン窒化膜36、及びシリコン酸化膜38が順次積層されてなる層間絶縁膜32を形成したが、層間絶縁膜32の材料及び構造はこれに限定されるものではない。

【0077】

(付記1)

素子領域を有する半導体基板と、

前記素子領域上にゲート絶縁膜を介して形成されたゲート電極を有するトランジスタと

、
前記ゲート電極上に絶縁膜を介して形成され、水素を吸蔵する性質を有する金属材料よりなり、前記ゲート電極が形成された領域と前記素子領域とが重なる領域よりも外側に周縁部が位置するメタル層と

を有することを特徴とする半導体装置。

【0078】

(付記2)

第1の素子領域及び第2の素子領域を有する半導体基板と、

前記第1の素子領域上に第1のゲート絶縁膜を介して形成された第1のゲート電極を有する第1のトランジスタと、

前記第1のトランジスタと対をなすトランジスタであって、前記第2の素子領域上に第2のゲート絶縁膜を介して形成された第2のゲート電極を有する第2のトランジスタと、

前記第1のゲート電極上に絶縁膜を介して形成され、水素を吸蔵する性質を有する金属材料よりなり、前記第1のゲート電極が形成された領域と前記第1の素子領域とが重なる領域よりも外側に周縁部が位置する第1のメタル層と、

前記第2のゲート電極上に前記絶縁膜を介して形成され、水素を吸蔵する性質を有する金属材料よりなり、前記第2のゲート電極が形成された領域と前記第2の素子領域とが重なる領域よりも外側に周縁部が位置する第2のメタル層と

を有することを特徴とする半導体装置。

【0079】

(付記3)

付記2記載の半導体装置において、

前記第1のメタル層及び前記第2のメタル層は、電気的に接続されていることを特徴とする半導体装置。

【0080】

(付記4)

付記1乃至3のいずれかに記載の半導体装置において、

前記メタル層の電位は、所定の電位に固定されていることを特徴とする半導体装置。

【0081】

(付記5)

付記1乃至3のいずれかに記載の半導体装置において、前記メタル層の電位は、フローティングとなっていることを特徴とする半導体装置。

【0082】

(付記6)

付記1乃至5のいずれかに記載の半導体装置において、前記ゲート電極が形成された領域と前記素子領域とが重なる領域と前記メタル層の前記周縁部との間隔と、前記半導体基板と前記メタル層との間隔との比は、0.32以下である

ことを特徴とする半導体装置。

【0083】

(付記7)

付記1乃至6のいずれかに記載の半導体装置において、前記メタル層は、水素を吸蔵する性質を有する前記金属材料よりなる金属膜と、水素を吸蔵する性質を有さない他の金属材料よりなる他の金属膜との積層膜よりなることを特徴とする半導体装置。

【0084】

(付記8)

付記1乃至7のいずれかに記載の半導体装置において、前記絶縁膜上に形成され、前記メタル層と同層の金属膜よりなる配線層を更に有することを特徴とする半導体装置。

【0085】

(付記9)

付記1乃至8のいずれかに記載の半導体装置において、前記金属材料は、チタン、マグネシウム、チタンを含む合金、又はマグネシウムを含む合金である

ことを特徴とする半導体装置。

【0086】

(付記10)

付記1乃至9のいずれかに記載の半導体装置において、前記トランジスタは、差動回路の一部又はカレントミラー回路の一部を構成することを特徴とする半導体装置。

【0087】

(付記11)

半導体基板に素子領域を画定する工程と、
前記素子領域上に、ゲート絶縁膜を介してゲート電極を形成する工程と、
前記ゲート電極上に、絶縁膜を介して、水素を吸蔵する性質を有する金属材料よりなる金属膜を形成する工程と、
前記金属膜をパターニングすることにより、前記ゲート電極上に、前記金属膜よりなり、前記ゲート電極が形成された領域と前記素子領域とが重なる領域よりも外側に周縁部が位置するメタル層を形成する工程と、
前記メタル層が形成された前記半導体基板を、水素を含む雰囲気中で熱処理する工程とを有することを特徴とする半導体装置の製造方法。

【0088】

(付記12)

付記11記載の半導体装置の製造方法において、
水素を含む雰囲気中で前記半導体基板を熱処理する工程では、前記メタル層により、前記半導体基板と前記ゲート絶縁膜との界面の水素終端化を均一に抑制する

ことを特徴とする半導体装置の製造方法。

【0089】

(付記13)

半導体基板に第1の素子領域及び第2の素子領域を画定する工程と、

前記第1の素子領域上に第1のゲート絶縁膜を介して形成された第1のゲート電極と、
前記第2の素子領域上に第2のゲート絶縁膜を介して形成された第2のゲート電極とを形成する工程と、

前記第1のゲート電極上に、絶縁膜を介して、水素を吸蔵する性質を有する金属材料よりなる金属膜を形成する工程と、

前記金属膜をパターニングすることにより、前記第1のゲート電極上に、前記金属膜よりなり、前記第1のゲート電極が形成された領域と前記第1の素子領域とが重なる領域よりも外側に周縁部が位置するメタル層を形成する工程と、

前記メタル層が形成された前記半導体基板を、水素を含む雰囲気中で熱処理する工程とを有し、

水素を含む雰囲気中で前記半導体基板を熱処理する工程では、前記メタル層により前記半導体基板と前記第1のゲート絶縁膜との界面の水素終端化を均一に抑制する一方、前記半導体基板と前記第2のゲート絶縁膜との界面を水素終端化する

ことを特徴とする半導体装置の製造方法。

【0090】

(付記14)

付記11乃至13のいずれかに記載の半導体装置の製造方法において、

前記メタル層を形成する工程では、前記金属膜をパターニングすることにより、前記メタル層とともに前記金属膜よりなる配線層を形成する

ことを特徴とする半導体装置の製造方法。

【図面の簡単な説明】

【0091】

【図1】本発明の第1実施形態による半導体装置の構造を示す概略図である。

【図2】MOSトランジスタの閾値電圧のダミーカバー層に対する依存を示すグラフである。

【図3】信号配線と同形状のダミーカバー層が形成された半導体装置の構造を示す平面図である。

【図4】ダミーカバー層が形成されていない従来の半導体装置の構造を示す平面図である。

【図5】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その1）である。

【図6】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その2）である。

【図7】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その3）である。

【図8】本発明の第1実施形態による半導体装置の製造方法を示す工程断面図（その4）である。

【図9】本発明の第2実施形態による半導体装置の構造を示す断面図である。

【図10】本発明の第2実施形態の変形例による半導体装置の構造を示す断面図である。

【図11】MOSランジスタについて高い相対精度が必要とされる差動回路の一例を示す回路図である。

【符号の説明】

【0092】

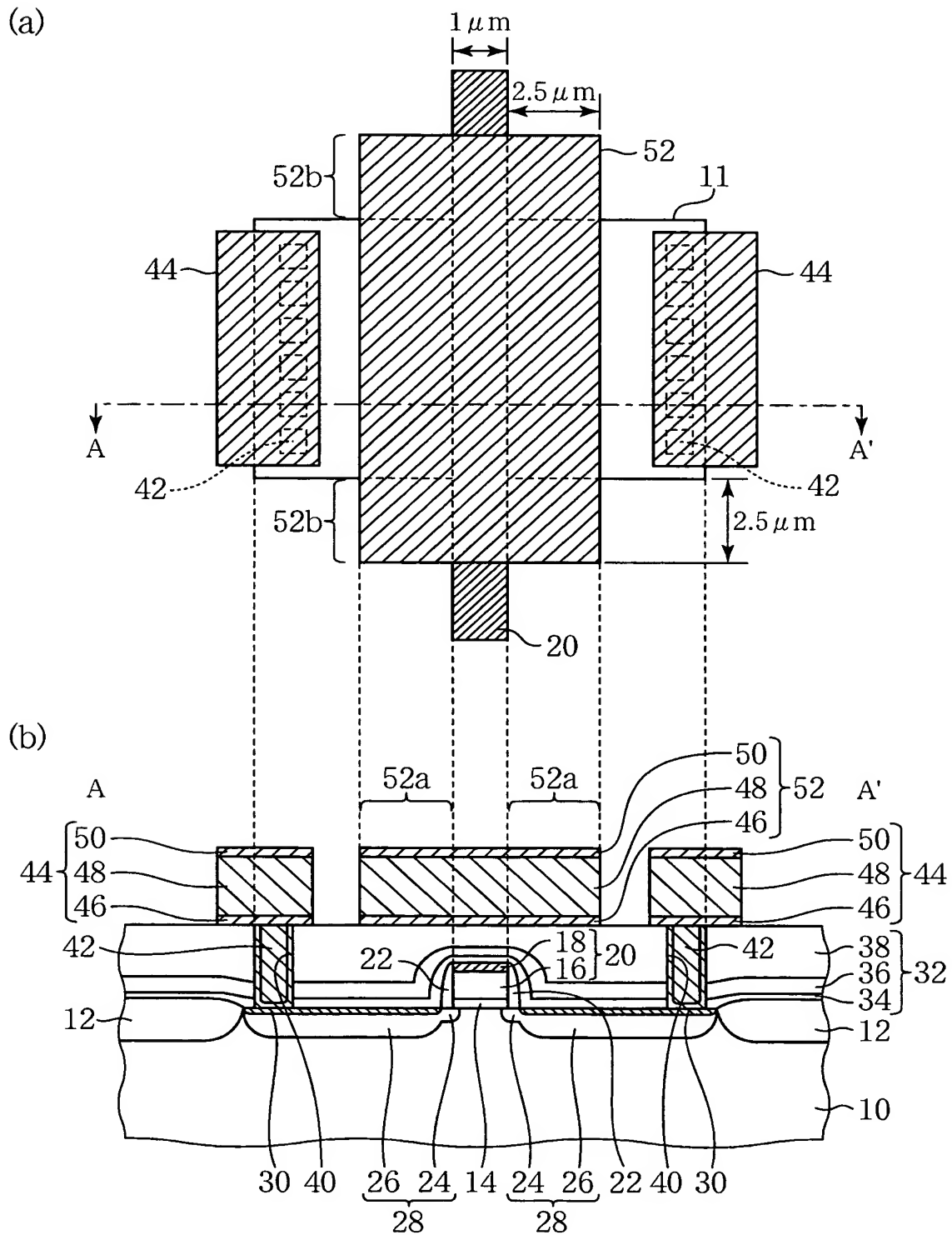
10…シリコン基板

11…素子領域

1 2 …素子分離膜
1 4 …ゲート絶縁膜
1 6 …ポリシリコン膜
1 8 …タングステンシリサイド膜
2 0 …ゲート電極
2 2 …サイドウォール絶縁膜
2 4 …低濃度拡散層
2 6 …高濃度拡散層
2 8 …ソース／ドレイン拡散層
3 0 …シリサイド膜
3 2 …層間絶縁膜
3 4 …シリコン酸化膜
3 6 …シリコン窒化膜
3 8 …シリコン酸化膜
4 0 …コンタクトホール
4 2 …コンタクトプラグ
4 4 …配線層
4 6 …積層膜
4 8 …アルミニウム膜
5 0 …積層膜
5 2 …ダミーメタル層
5 2 a、5 2 b …底部
5 4 …信号配線と同形状のダミーメタル層
5 6 …不純物拡散領域
5 8 …接着層
6 2 a、6 2 b …半導体装置
1 0 0 …CMOS トランジスタ
1 0 2 …抵抗素子

【書類名】 図面
【図 1】

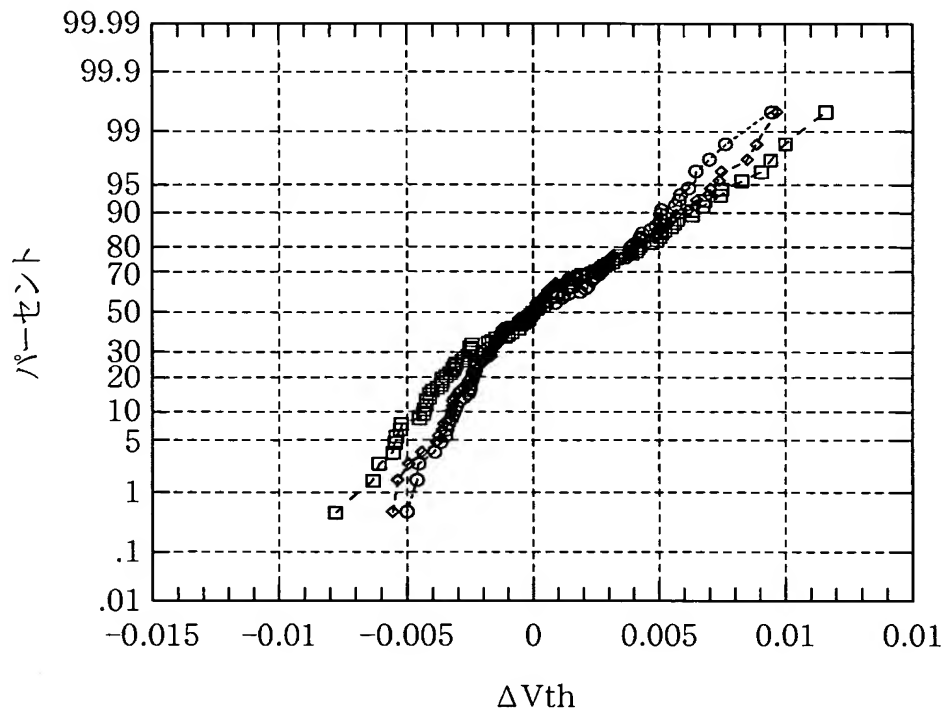
本発明の第1実施形態による半導体装置の構造を示す概略図



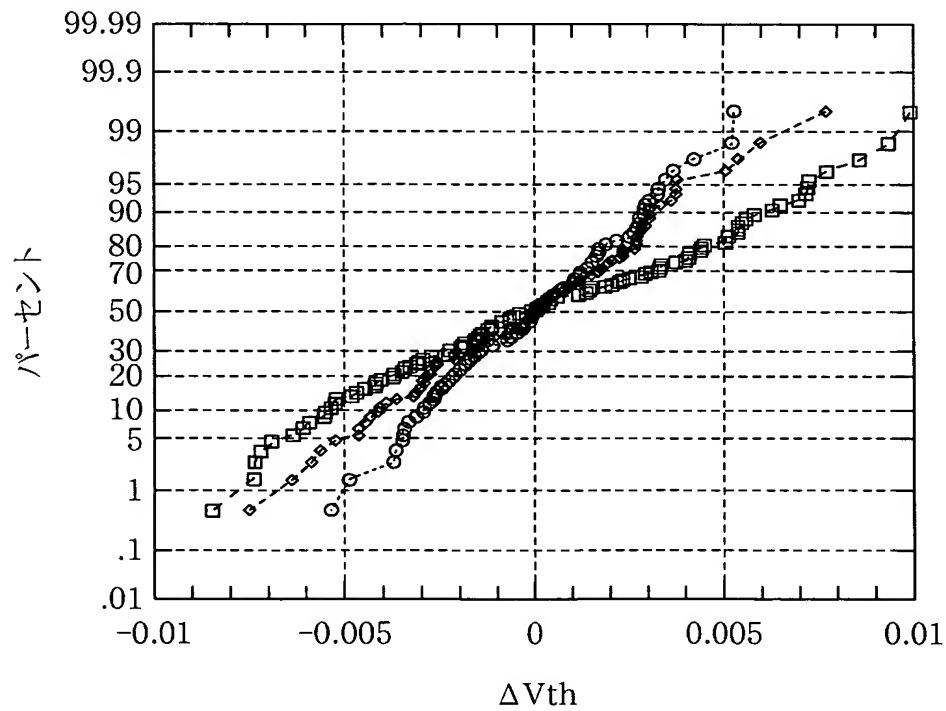
【図 2】

MOSトランジスタの閾値電圧のダミーカバー層に対する
依存を示すグラフ

(a)

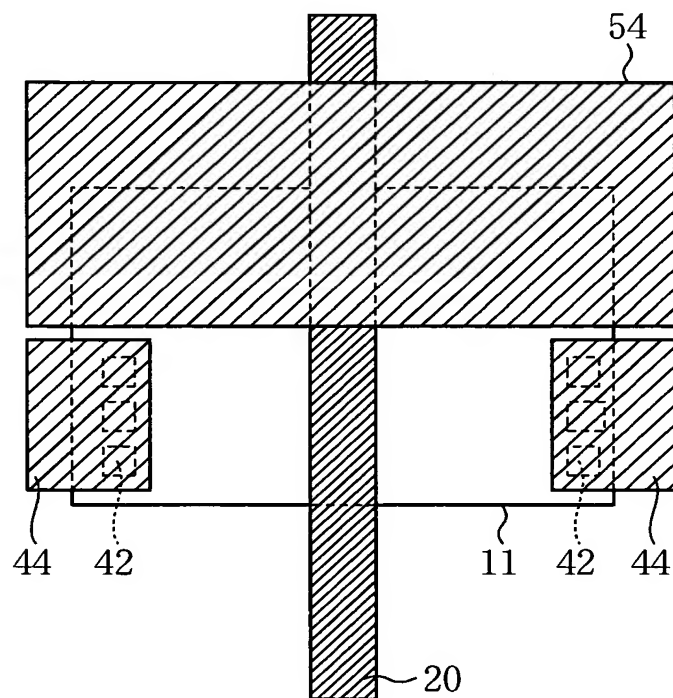


(b)



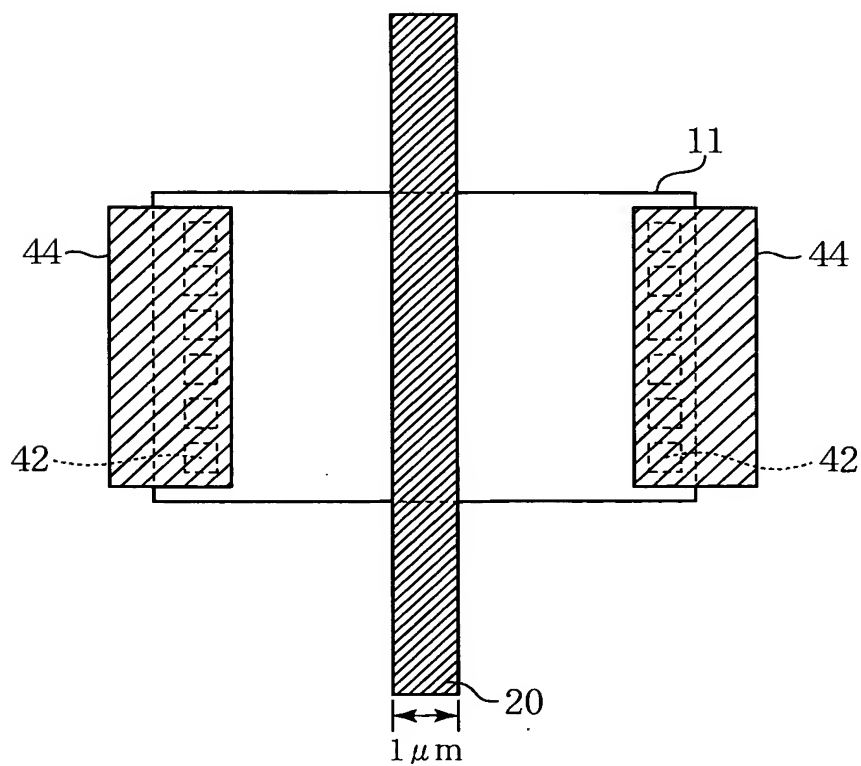
【図 3】

信号配線と同形状のダミーカバー層が形成された半導体装置の
構造を示す平面図



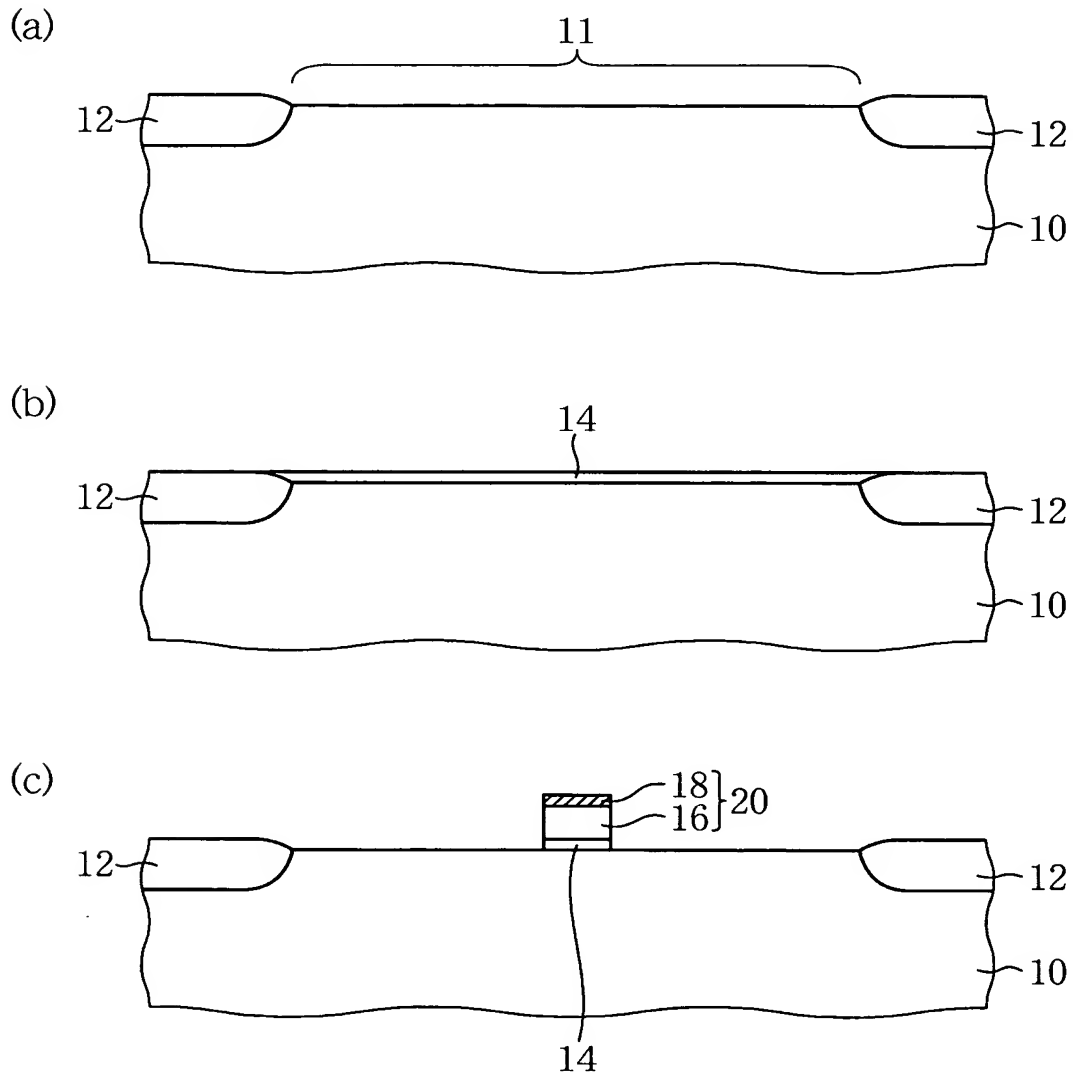
【図 4】

ダミーカバー層が形成されていない従来の半導体装置の
構造を示す平面図



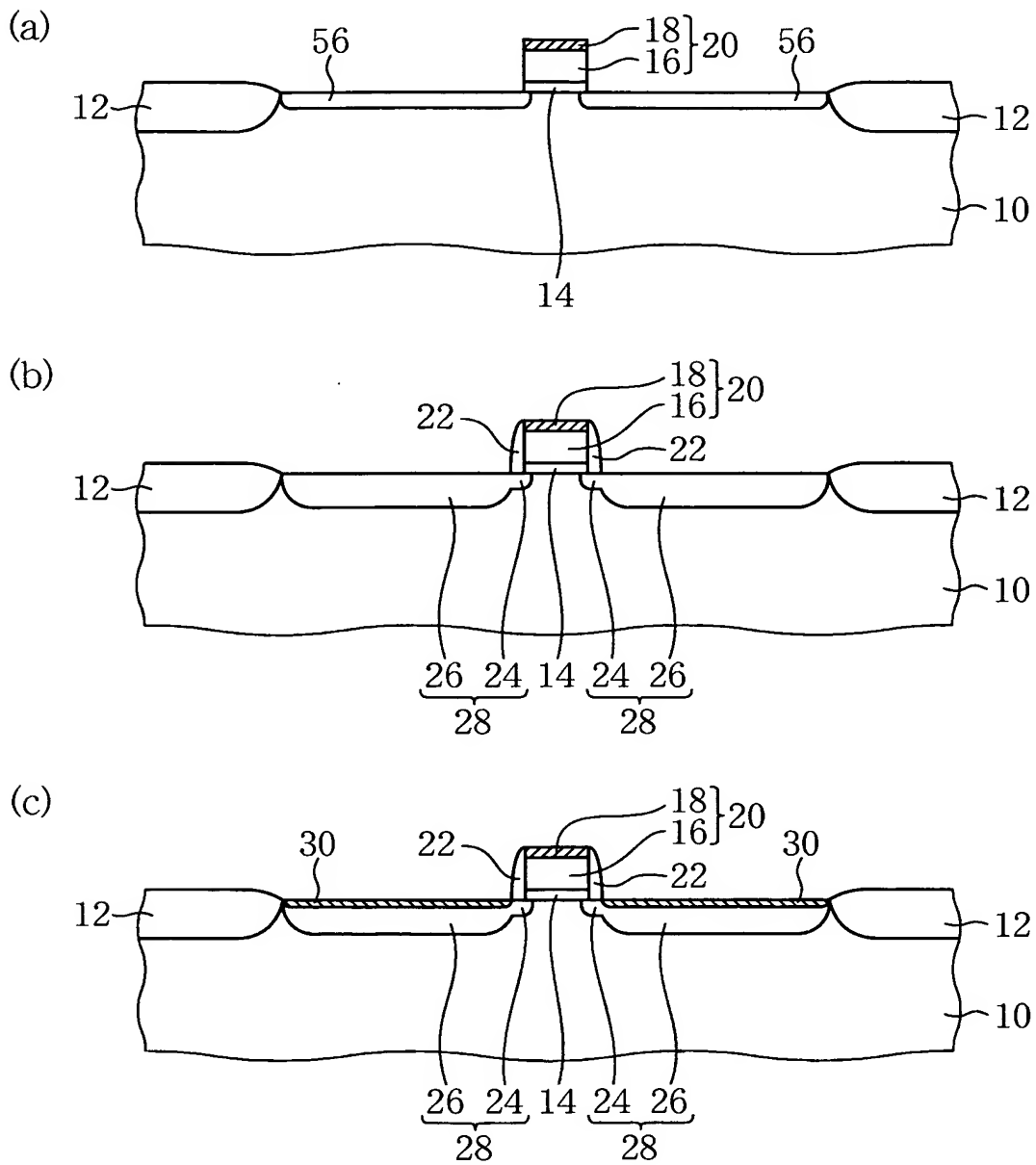
【図 5】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その1)



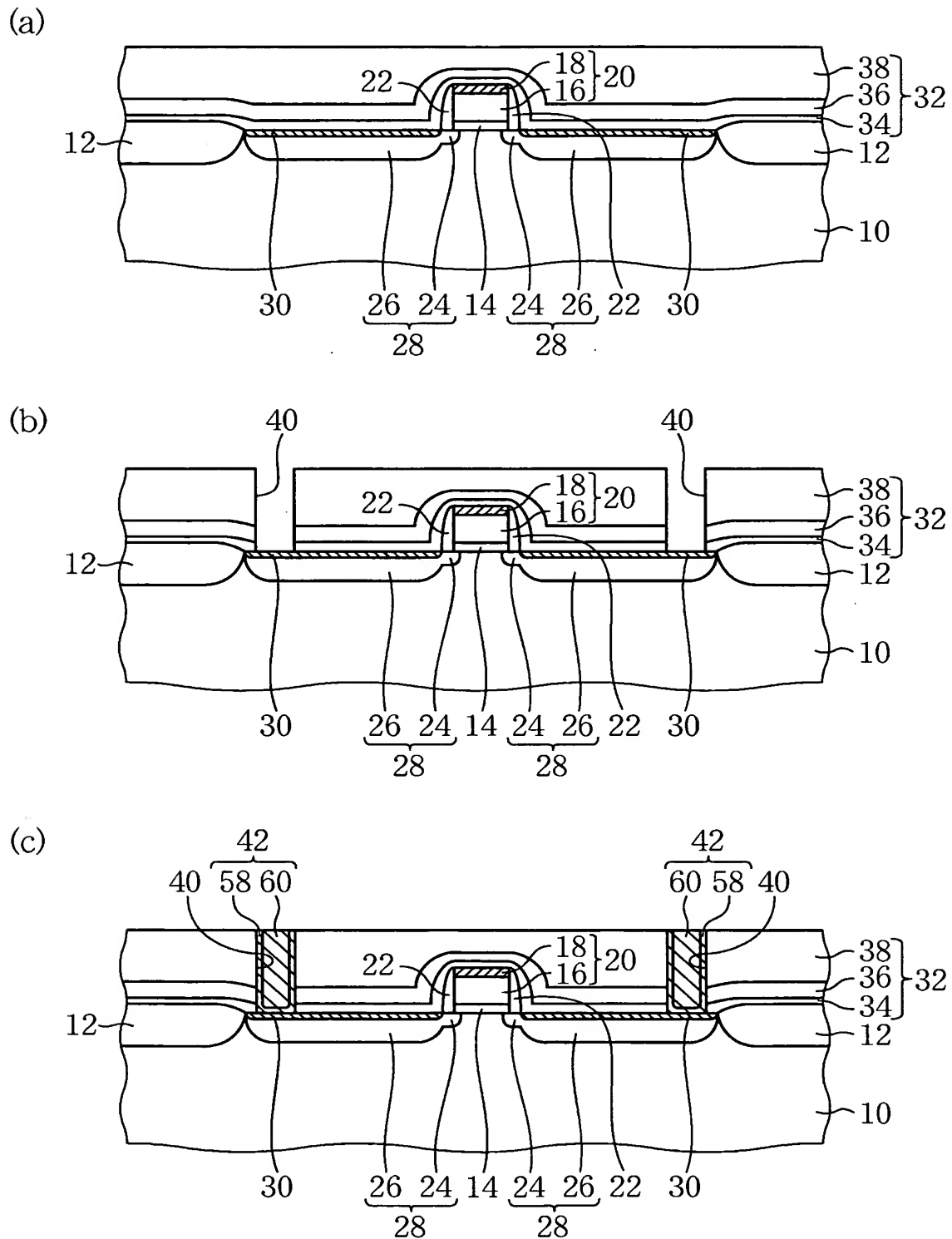
【図 6】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その2)



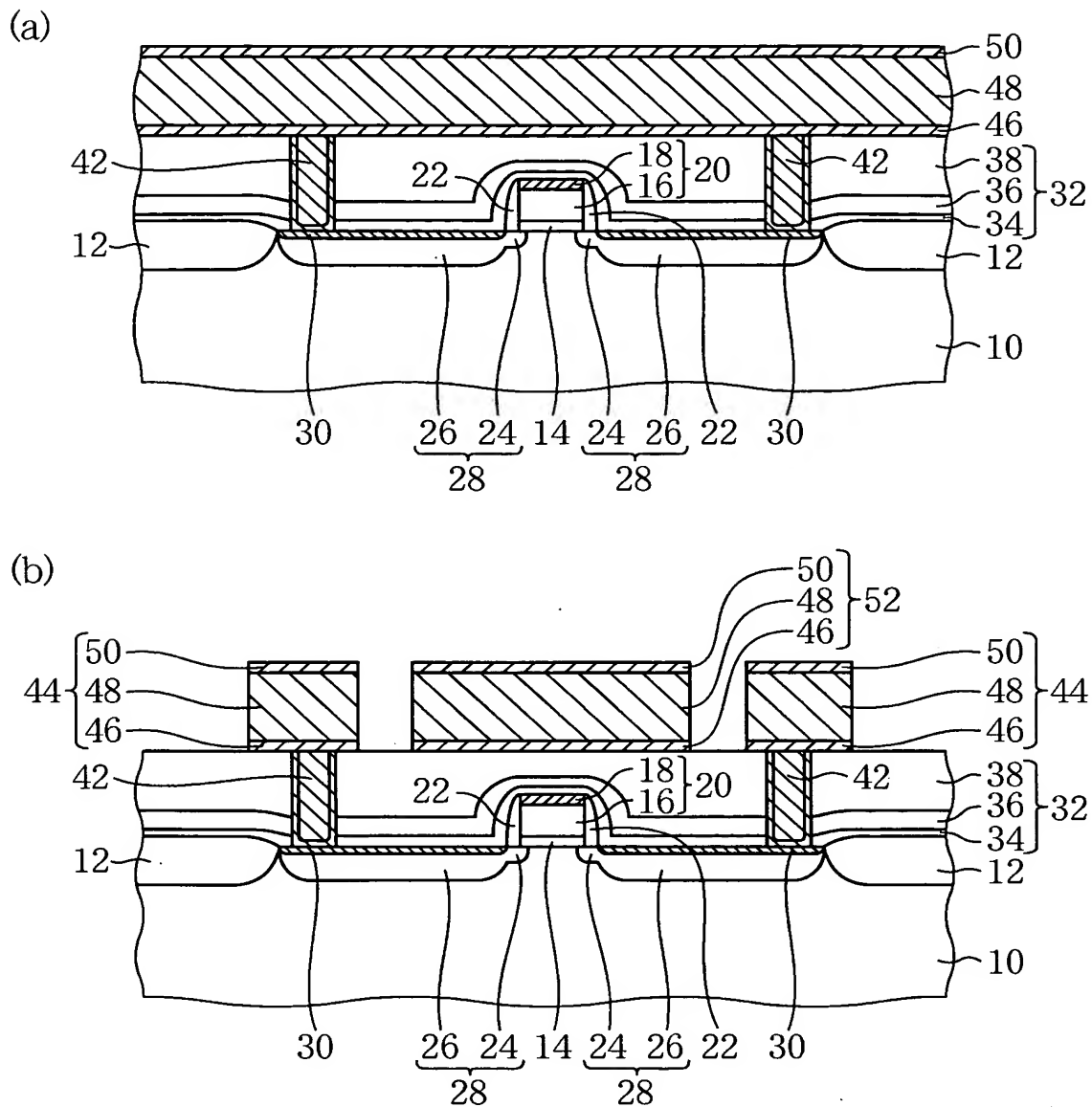
【圖 7】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その3)



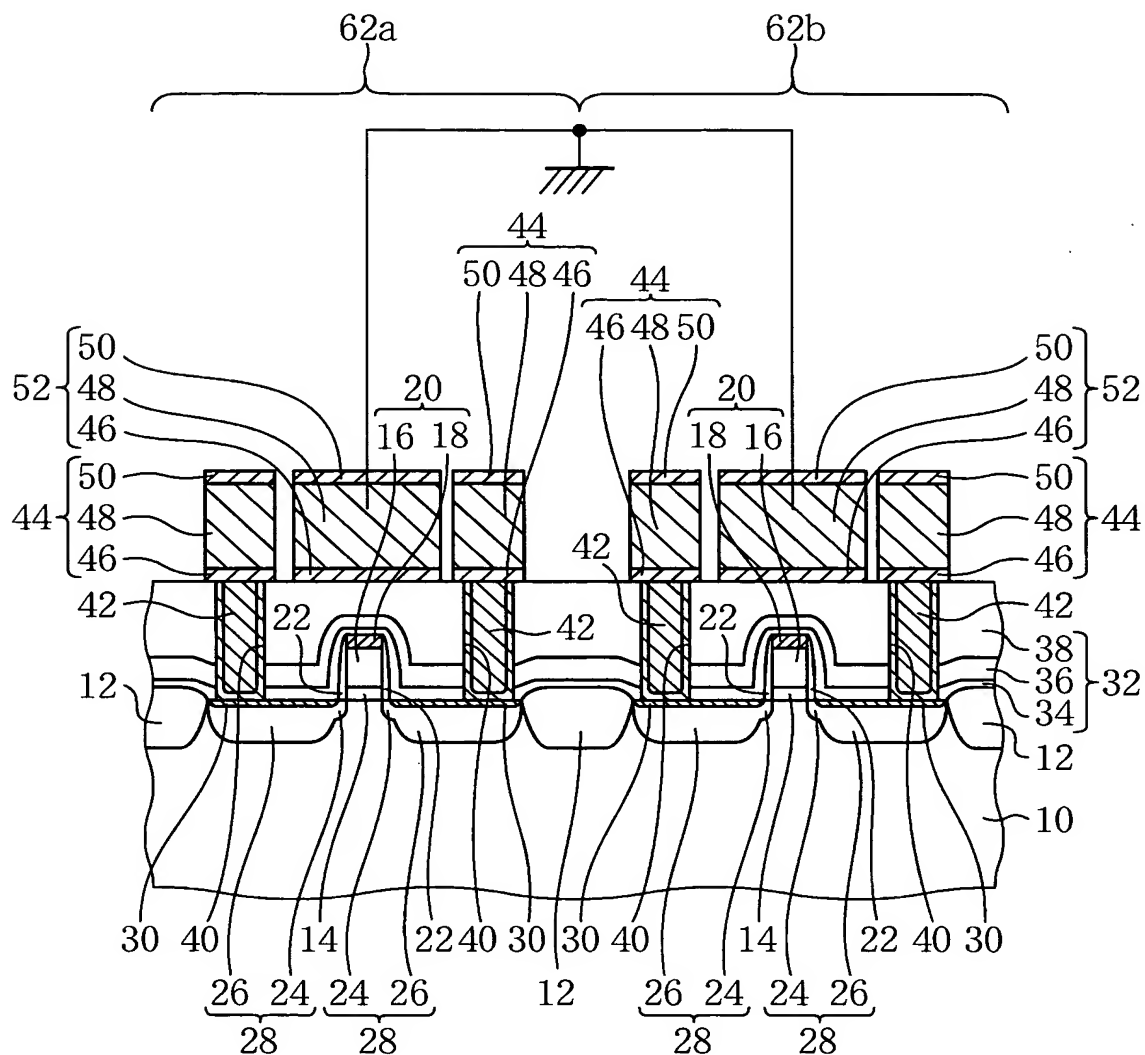
【図 8】

本発明の第1実施形態による半導体装置の製造方法を示す
工程断面図(その4)



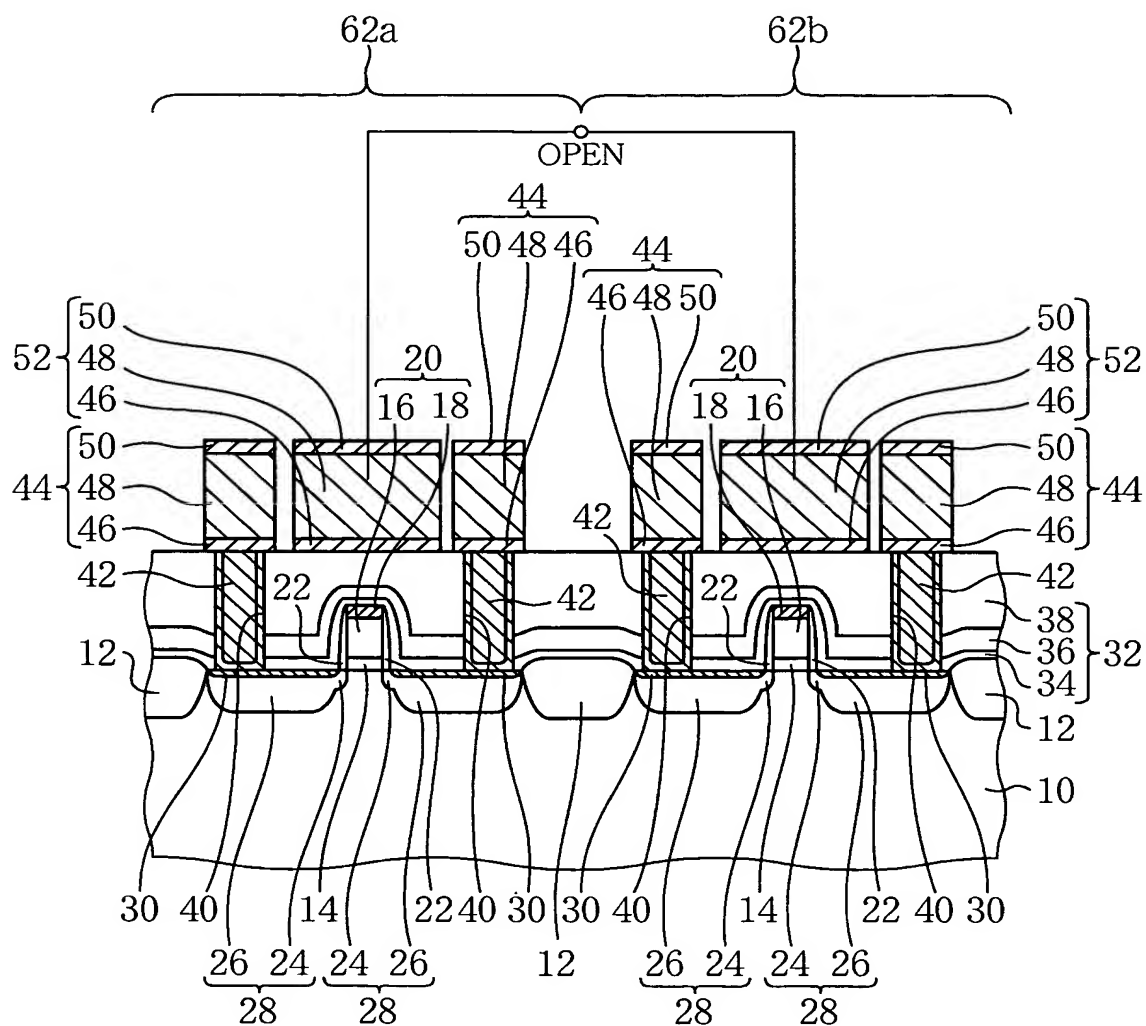
【図 9】

本発明の第2実施形態による半導体装置の構造を示す断面図



【図10】

本発明の第2実施形態の変形例による半導体装置の
構造を示す断面図



【書類名】 要約書

【要約】

【課題】 MOS トランジスタについて高い相対精度を有する半導体装置及びその製造方法を提供する。

【解決手段】 素子領域 11 を有するシリコン基板 10 と、素子領域 11 上にゲート絶縁膜 14 を介して形成されたゲート電極 20 を有するトランジスタと、ゲート電極 20 上に層間絶縁膜 32 を介して形成され、水素を吸蔵する性質を有する金属材料よりなり、ゲート電極 20 が形成された領域と素子領域 11 とが重なる領域よりも外側に周縁部が位置するダミーメタル層 52 とを有する。

【選択図】 図 1

特願 2 0 0 3 - 3 2 7 9 4 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 2 2 3]

1. 変更年月日

1 9 9 6 年 3 月 2 6 日

[変更理由]

住所変更

住 所

神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名

富士通株式会社